

FILED WITH
1-197865

(3) Japanese Patent Application Laid-Open No. 1-197865 (1989)

“System Controller”

The following is an extract relevant to the present application.

5

This invention relates to a system controller of an electronic computer system, and more particularly, it relates to a bus-use right.

When bus access from a module with a low priority is rejected, the time is measured so as to preferentially grant bus access to that module if that module is not
10 awarded access for a predetermined time period or longer.

COPY

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-197865

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)8月9日

G 06 F 13/26

3 2 0

G-8840-5B

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 システム制御装置

⑯ 特 願 昭63-21333

⑰ 出 願 昭63(1988)2月2日

⑱ 発 明 者 木 内 信 宏 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
⑲ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
⑳ 代 理 人 弁理士 鈴木 敏 明

明 細 書

1. 発明の名称

システム制御装置

2. 特許請求の範囲

1. バスラインに複数のモジュールとともに接続し、それらのモジュールからのバス使用要求信号に対し、バス優先制御を行うバスアービタが優先順位を割付けして上記モジュールにバス使用許可信号を送出するシステム制御装置において、

上記バス使用要求信号を入力し、優先順位の低いものから優先順位を割付けして出力する優先正順位割付部と、

上記バス使用要求信号を入力し、その信号毎に、その使用要求信号を発してから時間と予め決めてセットした上記モジュールに対するタイム値とを比較してその両者が等しくなったときにタイムアウト信号を出力する時間監視部と、

上記タイムアウト信号に対応したバス使用要求信号を優先させ、そのうち優先順位の低いものから優先順位を割付けして出力する優先逆順位割付

部と、

上記優先正順位割付部と上記優先逆順位割付部との出力を入力し、優先逆順位割付部からの入力値を上記タイムアウト信号に基づきバス使用許可信号として送出する選択部とを上記バスアービタに備えたことを特徴とするシステム制御装置。

2. 発明の詳細な説明

(産業上の利用分野)

この発明は、電子計算機システムのシステム制御装置について、特にバス使用権に関するものである。

(従来の技術)

従来、バスラインに複数のモジュールとともに接続し、それらのモジュールからのバス使用要求信号に対し、バス優先制御を行うシステム制御装置は種々開発されてきている。

第1図は、従来技術のシステム制御装置を示すブロック図であり、システム制御装置10はシステムの監視やバスの制御を司る。バスアービタ20はシステム制御装置10に内蔵され単一のシ

COPY-423-

特開平1-197865(2)

システムバス10の使用許可制御を行い、モジュール30-1, 30-2, 30-3は中央処理装置や主記憶装置あるいはチャネル装置などであり、システムを構成しシステムバス10に接続されている。モジュールは本図のように3つに限ったものではなく、システムによりその数は様々である。

第7図において、モジュール30-1, 30-2, 30-3がバス10を使用する場合、まずバスアービタ20に対してバス使用要求を行う。モジュール30-1, 30-2, 30-3は、バスアービタ20からバス使用許可が出された所で、始めてバス10を使用することが出来る。こうすることによって、複数モジュールによるバスの競合動作を制御している。

第8図は、この制御装置のバス使用要求信号(BREQ), およびバス使用許可信号(BGNT)の詳細を説明するブロック図であり、バスアービタ20ではこれらバス使用要求に優先順位を付けて制御しており、本例では、若番のモジュールほど優先順位が高くなっているものとして話を進め

は、モジュール30-1と同様にしてデータ転送を行うことができる。

時刻T₁でモジュール30-2はバス使用要求信号BREQ₂をオフにし、時刻T₂でバスアービタ20はバス使用許可信号BGNT₂をオフにする。

もっと多くのモジュールからのバス使用要求が同時に発生した場合でも、バスアービタ20は上記と同様な手順にて、若番のモジュールから順にバス使用許可を与えていく。

(発明が解決しようとする課題)

しかしながら、従来の方法では、バス使用優先順位の高いモジュールが連続してバス使用要求を出した場合、バス使用優先順位の低いほうのモジュールはいつになってもバス使用許可が取れず、永遠に待たされるという問題点があった。

第10図は3つ以上のモジュールがある場合のバス使用権のタイムチャートであり、上記問題点を説明する図面である。第10図において、3つのモジュール#1, #2, #3が同時にバス使用要求信号BREQ₁, BREQ₂, BREQ₃を出し、

る。

次に作用について第9図に従って説明する。

第9図は従来技術によるタイムチャートであり、時刻T₁でモジュール30-1とモジュール30-2から、同時にバス使用要求信号BREQ₁, BREQ₂が出されている。

バスアービタ20はまず、優先順位の高いモジュール30-1に対してバス使用許可信号BGNT₁を送出する。

モジュール30-1では、バス使用許可信号BGNT₁を受けて、システムバス10にデータを送出し、目的とする相手モジュールとデータ転送を行う。モジュール30-1は、時刻T₁でバス使用許可信号BGNT₁が出されると、時刻T₂でバス使用要求信号BREQ₁をオフにするので、このときのバス使用要求は、モジュール30-2からのバス使用要求信号BREQ₂が残っている。

この間、バス使用要求が保留されたモジュール30-2に対しては、時刻T₃でバス使用許可信号BGNT₂が出される。ここでモジュール30-2

且つ、同各モジュールのバス使用要求信号が連続して発生する場合、1サイクルおきにモジュール#1とモジュール#2へのバス使用許可信号BGNT₁, BGNT₂が連続し、モジュール#2へはいつになってもバス使用許可信号BGNT₂が出されず、データ転送ができない状態が続く。

たとえば、このモジュール#3が磁気ディスク装置や、通信回線制御装置などの場合には、リードエラーや受信エラーにオーバーランが発生し、リード動作のリトライや通信データの再送等のために、システムの処理性能が著しく低下することになりかねない。

(課題を解決するための手段)

本発明は上記問題点を解決するためにバスラインに複数のモジュールとともに接続し、それらのモジュールからのバス使用要求信号に対し、バス優先制御を行うバスアービタが優先順位を割付けして上記モジュールにバス使用許可信号を送出するシステム制御装置において、バス使用要求信号を入力し、優先順位の高いものから優先順位を割

特開平1-197865(3)

付けして出力する優先順位割付部と、バス使用要求信号を入力し、その信号毎に、その使用要求信号を発してから時間と予め決めてセットした各モジュールに対するタイム値とを比較してその両者が等しくなったときにタイムアウト信号を出力する時間監視部と、タイムアウト信号に対応したバス使用要求信号を優先させ、そのうち優先順位の低いものから優先順位を割付けして出力する優先逆順位割付部と、優先正順位割付部と優先逆順位割付部との出力を入力し、優先逆順位割付部からの入力値をタイムアウト信号に基づきバス使用許可信号として送出する選択部とをバスアービタに備えたものである。

(作用)

本発明によれば、以上のようにシステム制御装置を構成したので、タイムアウト信号がないときは選択部が優先正順位割付部の出力をバス使用許可信号として送出し、タイムアウト信号があるときは選択部が優先逆順位割付部の出力をバス使用許可信号として送出する。

… $BREQ_n$ が同時に入力した場合、常に優先順位を若番順である正順位に割付けして出力 B_1 , B_2 , … B_n を送出する。タイム監視回路200は第2図に示すようにバス使用要求信号 $BREQ_1$, $BREQ_2$, … $BREQ_n$ に対する回路200-1, 200-2, …200-nと回路200-1, 200-2, …200-nからの出力の論理和をとるOR回路600とからなる。回路200-1はレジスタ201-1, カウンタ202-1, フリップフロップ203-1, AND回路204-1からなり、回路200-2, …200-nもそれぞれ同様の回路部品からなるので回路200-1にてタイム監視回路200の説明をする。レジスタ201-1は図示せぬ制御部より任意の値に設定でき、その制御部からプリセットデータPDとセット信号CTSETとを受けるとプリセットデータPDを受け入れ保持すると同時にカウンタ202-1の入力端子Dに送出する。カウンタ202-1はロード端子LD及びイネーブル端子Eが“0”のとき入力端子Dの状態をプリセットカウント値として内部にセットする。又、ロード

(実施例)

本発明の一実施例について図面を参照しながら説明する。

なお、各図面に共通な要素には同一符号を付す。

第1図は本発明の実施例を示すブロック図であり、第2図は第1図のタイム監視回路の詳細図であり、第3図は第1図の優先正順位割付回路の詳細図であり、第4図は第1図の優先逆順位割付回路の詳細図であり、第5図は第1図のセレクト回路の詳細図である。第1図において、バス使用要求信号 $BREQ_1$, $BREQ_2$, … $BREQ_n$ 及びバス使用許可信号 $BGNT_1$, $BGNT_2$, … $BGNT_n$ はそれぞれ第8図に示したバス使用要求信号、バス使用許可信号に相当する。バス使用要求信号 $BREQ_1$, $BREQ_2$, … $BREQ_n$ は時間監視部としてのタイム監視回路200と優先正順位割付部としての優先正順位割付回路300とに入力される。優先正順位割付回路300は第3図に示すようにAND回路300-1, 300-2, …300-nからなり、バス使用要求信号 $BREQ_1$, $BREQ_2$,

端子LD及びイネーブル端子Eが“1”のとき、図示せぬ制御部からのクロック入力端子CKへのクロックパルスの立ち上り毎に計数する。カウンタ202-1のキャリー出力端子CYからフリップフロップ203-1のセット端子Sに“1”が入力されると、出力端子Qを“1”にセットするとともにリセット端子Rに後述するリセット信号が入力されるまで保持し続ける。AND回路204-1はバス使用要求信号 $BREQ_1$ とフリップフロップ203-1からの出力の反転値との論理積をとって、その出力値をカウンタ202-1のロード端子LDとイネーブル端子Eとに出力する。回路200-1, 200-2, …200-nからの出力はタイムアウト信号 A_1 , A_2 , … A_n として優先逆順位割付回路400へ出力される。又、タイムアウト信号 A_1 , A_2 , … A_n はOR回路600で論理和をとったのち後述するセレクト回路へ入力選択信号XCHとして出力される。優先逆順位割付部としての優先逆順位割付回路400は第4図に示すようにAND回路400-1, …400-(n-2), 400-(n-1)

特開平1-197865 (4)

からなり、タイムアウト信号 A_1, \dots, A_{n-1}, A_n が同時に入力した場合は、常に優先順位を若番順の逆である逆順位に割付けして出力 $C_1, \dots, C_{n-2}, C_{n-1}, C_n$ を出力する。選択部としてのセレクト回路500は第5図に示すようにAND回路500-B₁, 500-B₂, ..., 500-B_n, 500-C₁, 500-C₂, ..., 500-C_nとOR回路501-1, 501-2, ..., 501-nとインバータ回路502とからなる。AND回路500-B₁, 500-B₂, ..., 500-B_nは優先正順位割付回路300からの出力 B_1, B_2, \dots, B_n と前述した入力選択信号XCHをインバータ回路502で反転させた出力との論理積をとって出力し、AND回路500-C₁, 500-C₂, ..., 500-C_nは優先逆順位割付回路400からの出力 C_1, C_2, \dots, C_n と入力選択信号XCHとの論理積をとって出力する。OR回路501-1はAND回路500-B₁及び500-C₁の論理和をとり、OR回路501-2はAND回路500-B₂及び500-C₂からの出力信号の論理和をとり、以下同様にして従って最後のOR回路501-n

BREQ₁が送出しているにもかかわらず、優先順位の低いバス使用要求信号BREQ₂に対して時刻T₂でバス使用許可信号BGNT₂が送出される。このように、モジュール30-1及び30-2が連続してバス使用要求信号BREQ₁, BREQ₂を出し続けるので、バス使用許可信号BGNT₁, BGNT₂はモジュール30-1及び30-2に順に送出されていく。他方第1図に示したタイム監視回路200では、この間出力され続けているモジュール30-3からのバス使用要求信号BREQ₃の送出されてからの時間を計数している。第2図に示したバス使用要求信号BREQ₁に対する回路200-1をバス使用要求信号BREQ₂に対する回路200-2として説明する。フリップフロップ203-3の初期状態はリセットされており、出力端子Qからのタイムアウト信号A₃は“0”である。この状態でAND回路204-3の入力側にはタイムアウト信号“0”の反転値“1”とバス使用要求信号BREQ₃“0”とが入力されているので出力側には“0”が出力されている。この結果、カウンタ203-

はAND回路500-B_n及び500-C_nの論理和をとってそれぞれバス使用許可信号BGNT₁, BGNT₂, ..., BGNT_nとして出力する。又、バス使用許可信号BGNT₁, BGNT₂, ..., BGNT_nはタイム監視回路200へリセット信号として出力される。

次に作用について第6図に従って説明する。

第6図は本実施例の回路動作を現わすタイムチャートである。第6図では時刻T₁で3つのモジュール30-1, 30-2, 30-3から同時にバス使用要求信号BREQ₁, BREQ₂, BREQ₃が出されているところを示している。バスターミナリタ20は第1図及び第3図に示した優先正順位割付回路300によって、最初のバス使用要求信号BREQ₁, BREQ₂に対して順に時刻T₁, T₂でバス使用許可信号BGNT₁, BGNT₂を送出する。ところでバス使用許可信号BGNT₂を送出している時刻T₂とT₃の間でモジュール30-1から次のバス使用要求信号BREQ₁が出されたので、モジュール30-3からバス使用要求信号

3はレジスタ201-3からプリセットデータPDをセットした状態になっている。時刻T₃でバス使用要求信号BREQ₃は“1”となるのでAND回路204-3の出力側は“1”となり、ロード端子LD及びイネーブル端子Eに“1”が入力されて図示せぬ制御部からのクロックパルスに同期して計数を開始する。時刻T₄でキャリー出力端子CYから“1”を出力すると、フリップフロップ203-3はセット端子Sが“1”となり、次いで出力端子Qが“1”に保持されて、タイム監視回路200からタイムアウト信号A₃＝“1”として優先逆順位割付回路400へ出力される。同時にOR回路600の出力側からの入力選択信号XCHは“1”となる。優先逆順位割付回路400ではタイムアウト信号A₃を最優先として出力側から出力信号C₃＝“1”を送出する。セレクト回路500は入力選択信号XCH＝“1”とインバータ回路502とによって入力側を優先逆順位割付回路400からの出力を有効として選択する。従って出力信号C₃を最優先としてバスアービタ20は時刻T₄でバス使用許

特開平1-197865 (5)

可信号BGNT_iをモジュール30-3へ送出する。バス使用許可信号BGNT_iが送出されると時刻T_rでフリップフロップ203-3はリセットされ出力端子Qは“0”となる。同時にセレクト回路500への入力選択信号XCHも“0”となり、セレクト回路500はインバート回路502を介して優先正順位割付回路300からの出力を有効として入力する。従って次は時刻T_eとT_rとの間にバス使用要求信号BREQ_iを出していたモジュール30-1へバス使用許可信号BGNT_iが送出される。

(発明の効果)

以上詳細に説明したように本発明によれば複数のモジュールからのバス使用要求信号に対し、バス優先制御を行うバスアービタが優先順位を割付けてバス使用許可信号を送出するシステム制御装置において、低バス使用優先順位のモジュールに対しても、一定時間以上バス使用権が獲得出来ない場合は、優先正順位に依るところなく優先的にバス使用許可を与えるようにしたので、低位の

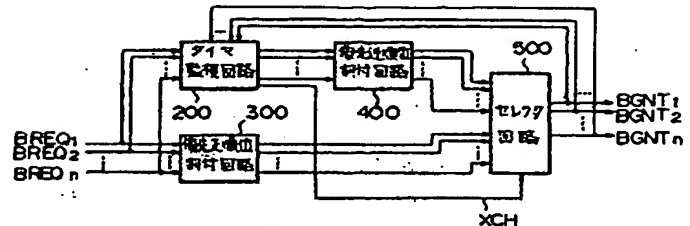
モジュールにおいても効率の良いデータ転送が可能であり、オーバーランなどのデータ転送障害を防止することができる。

また、使用要求の監視時間をモジュール毎に設定出来るため、システムの構成や、各モジュールの転送能力に応じて最適化することができ、各モジュールの性能を最大限に引き出したシステム構築をすることが可能である。

4. 図面の簡単な説明

第1図は本発明の実施例を示すブロック図、第2図はタイマ監視回路の詳細図、第3図は優先正順位割付回路の詳細図、第4図は優先逆順位割付回路の詳細図、第5図はセレクト回路の詳細図、第6図は本実施例の回路動作を現わすタイムチャート、第7図は従来技術のシステム制御装置を示すブロック図、第8図はバス使用の要求及び許可信号の詳細を示すブロック図、第9図は従来技術によるタイムチャート、第10図は3つ以上のモジュールがある場合のバス使用権のタイムチャートである。

10…システム制御装置、20…バスアービタ、30-1, 30-2, …, 30-n…モジュール、200…タイマ監視回路、300…優先正順位割付回路、400…優先逆順位割付回路、500…セレクト回路。

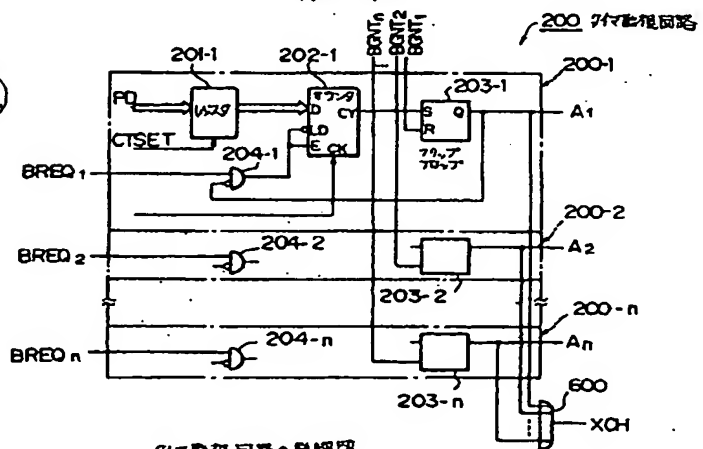


本発明の実施例を示すブロック図

第1図

特許出願人 沖電気工業株式会社

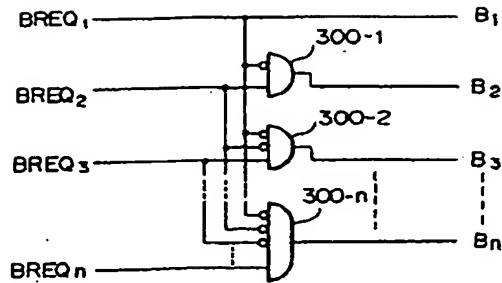
代理人 鈴木敏明



タイマ監視回路の詳細図

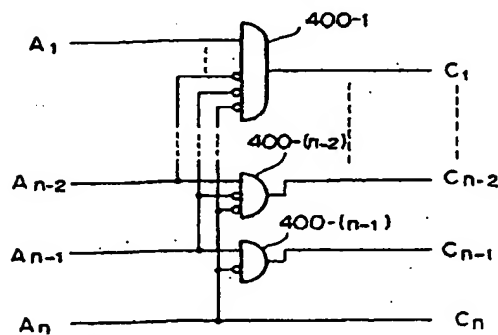
第2図

特開平1-197865(6)



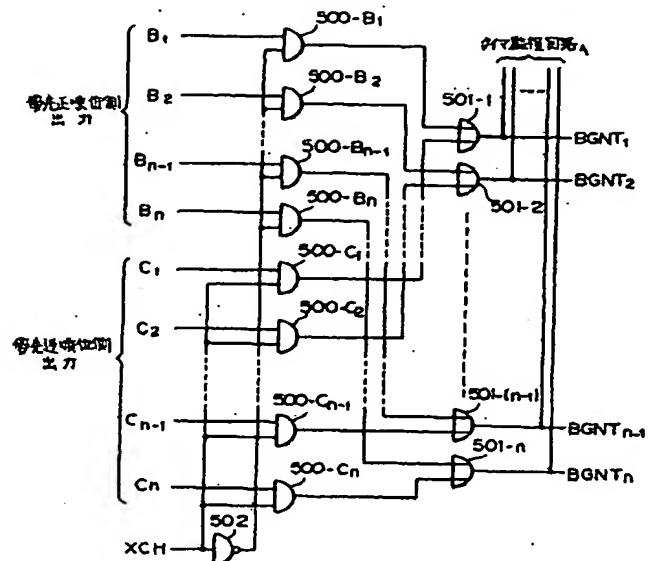
優先エンコーダ回路の詳細図

第3図



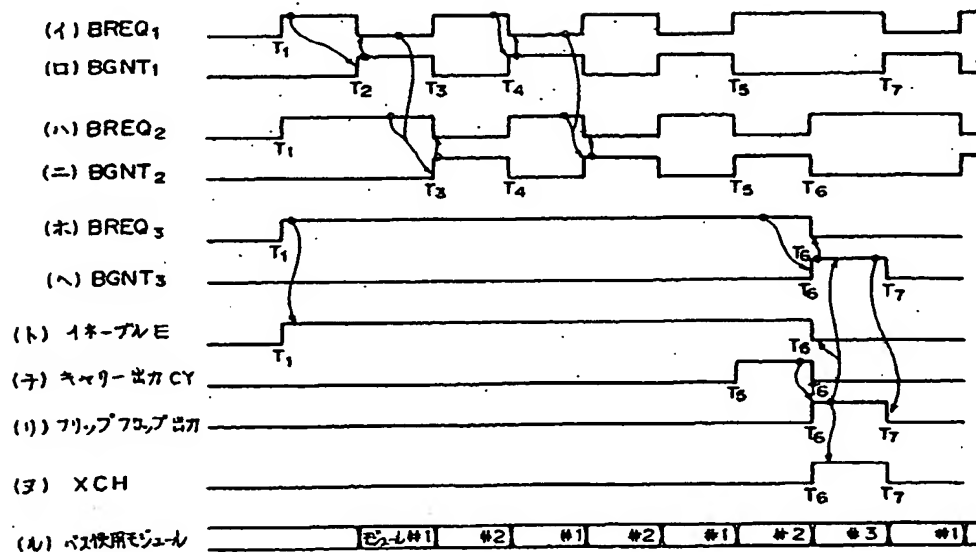
優先エンコーダ回路の詳細図

第4図



セレクト回路の詳細図

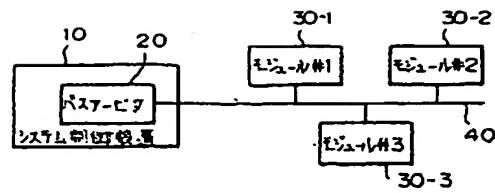
第5図



本実施例の回路動作を現わすタイムチャート

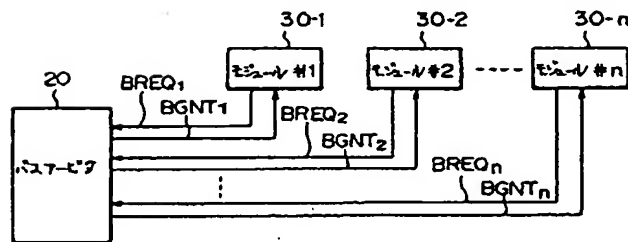
第6図

特開平1-197865(7)



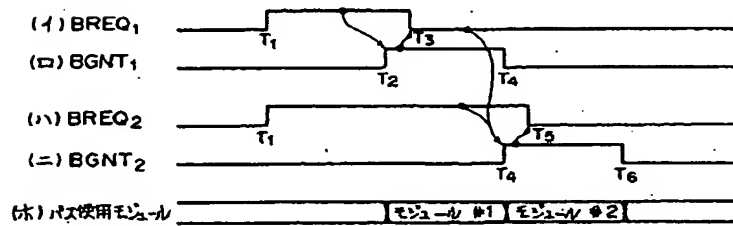
従来技術のシステム制御装置を示すブロック図

第7図



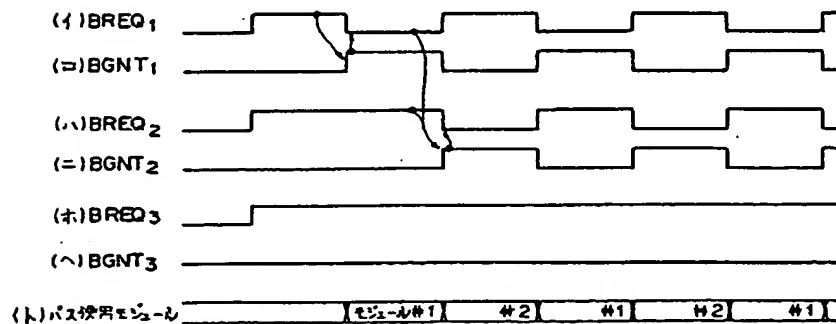
バス使用の要求及び許可信号の詳細を示すブロック図

第8図



従来技術によるタイムチャート

第9図



3つ以上のモジュールがある場合のバス使用権のタイムチャート

第10図